

Best Available Copy

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

05286497 **Image available**

THIN FILM TRANSISTOR

PUB. NO.: 08-241997 [JP 8241997 A]

PUBLISHED: September 17, 1996 (19960917)

INVENTOR(s): ARAI MICHIO

SUGIURA KAZUJI

TAKAYAMA ICHIRO

YAMAUCHI YUKIO

KOBORI ISAMU

KODAMA MITSUFUMI

SAKAMOTO NAOYA

APPLICANT(s): TDK CORP [000306] (A Japanese Company or Corporation), JP
(Japan)

SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 07-043748 [JP 9543748]

FILED: March 03, 1995 (19950303)

ABSTRACT

PURPOSE: To provide a thin film transistor having good pentode
characteristic.

CONSTITUTION: In a thin film transistor having an active layer 5, a gate
electrode 7 and a bottom gate electrode 3 which is shorter than this gate
electrode 7 in the direction of source region and drain region are arranged
in the area opposed to the gate electrode 7 with respect to the active
layer 5.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241997

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl.

H01L 29/786

識別記号

序内整理番号

F I

H01L 29/78

技術表示箇所

617N

審査請求 未請求 請求項の数1 OL (全5頁)

(21) 出願番号

特開平7-43748

(22) 出願日

平成7年(1995)3月3日

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 荒井 三千男

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 杉浦 和司

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(74) 代理人 弁理士 山谷 啓業 (外2名)

最終頁に続く

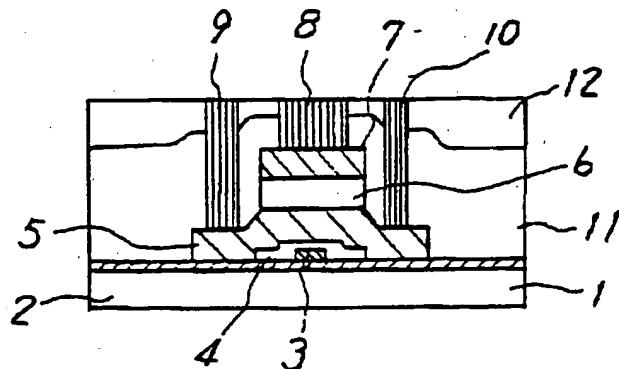
(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 良好な五極管特性を有する薄膜トランジスタを提供すること。

【構成】 活性層5を備えた薄膜トランジスタにおいて、ゲート電極7と、このゲート電極7よりもソース領域とドレイン領域方向に短いボトムゲート電極3を、前記活性層5に対して前記ゲート電極7と反対側に配置する。

本発明の一実施例構成図



【特許請求の範囲】

【請求項1】 活性層を備えた薄膜トランジスタにおいて、
ゲート電極と、
このゲート電極よりもソース領域とドレイン領域方向に
短いボトムゲート電極を、前記活性層に対して前記ゲート
電極と反対側に配置したことを特徴とする薄膜トラン
ジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタに係
り、特に良好な五極管特性を有する薄膜トランジスタに
関するものである。

【0002】

【従来の技術】 従来、液晶の制御やエレクトロルミネセ
ンスの制御を行うために薄膜トランジスタが使用されて
いる。従来の薄膜トランジスタは、例えば図6に示す如
く、ガラス基板、石英基板、単結晶シリコンの如き基板
50上にSiO₂膜51を形成し、その上にシリコン活性層52を設
ける。このシリコン活性層52の中央部分にはゲート酸化膜53が設けられその上にゲート電極54が形成され
る。そしてゲート電極54と接続するゲート電極引出線55と、シリコン活性層52に形成されたソース・ドレイン領域と接続するソース・ドレイン電極引出線56、57が設けられ、またSiO₂からなる層間絶縁層58が形成される。

【0003】

【発明が解決しようとする課題】 この図6に示す如き従
来の薄膜トランジスタのV_D - I_D (ドレイン電圧 - ド
レイン電流) 特性は、図7に示す如く、五極管特性では
なく、ドレイン電圧V_Dが大きい領域では、ドレイン電
圧が大きくなるとドレイン電流I_Dもこれに応じて大き
くなるという特性を有していたので、ドレイン電圧V_D
の大きな領域では使用し難いという欠点があった。

【0004】 従って本発明の目的は、ドレイン電圧の大
きな領域でも五極管特性を示す薄膜トランジスタを提供
することである。

【0005】

【課題を解決するための手段】 前記目的を達成するた
め、本発明では、図1に示す如く、基板1にSiO₂層2を形成
し、その上にボトムゲート電極3を配置する。ボトムゲート
電極3の上にSiO₂層4を介してシリコン活性層5を形成
し、その上にゲート酸化膜6を設け、トップ側にゲート電
極7を形成する。

【0006】 そしてゲート電極7に対するゲート電極引
出線8と、シリコン活性層5のソース・ドレイン領域と
接続するソース・ドレイン電極引出線9、10を設け、
層間絶縁層11と保護膜12を形成する。またボトムゲ
ート電極3の横方向の大きさを、ゲート電極7の横方向
の大きさよりも狭く構成する。

【0007】

【作用】 ボトムゲート電極3を共通電極側に接続して使
用するとき、この薄膜トランジスタは、シリコン活性層5
の上の部分が通常の薄膜トランジスタを構成するもの
の、下の部分はボトムゲート電極3の横方向の大きさが
ゲート電極7の横方向の大きさよりも狭いので、オフセ
ット構造の薄膜トランジスタを構成することになる。

【0008】 そのため、シリコン活性層5の両端部分が
高抵抗構造となり、ドレイン電圧を上げてもドレイン電
流が増加せず、後述するように五極管特性を有する薄膜
トランジスタを得ることができる。

【0009】

【実施例】 本発明の一実施例の狭ゲート形の薄膜トラン
ジスタの製造方法を図4、図5に基づき説明する。図4
は本発明に関する薄膜トランジスタの製造方法(その
1)を示し、図5は図4の次工程であって、本発明に関する
薄膜トランジスタの製造方法(その2)を示す。なお下記の①～⑧は、図4、図5に示す工程①～⑧に対する
説明である。

【0010】 ①まず、アルミナ基板、石英基板、ガラス
基板あるいはシリコン基板等の基板1の上にSiO₂層2を、
例えばスパッタリング法により約1000Åの厚さで成膜する。
そしてこのSiO₂層2の上に、アモルファス・シリコン層を約
2000Åの厚さでCVD法により成膜する。この成膜条件は、
例えば下記の通りである。

【0011】

SiH ₄ ガス	100 SCCM
圧力	0.3 Torr
Cl ₂ ガス	1～100 SCCM
TEMP	550°C

それから、このアモルファス・シリコン層を固相成長さ
せてポリシリコン層とする。この固相成長の条件は、例
えば下記の通りである。

【0012】

N ₂	1 SLM
TEMP	600°C
処理時間	5 hr～20 hr

それからこのポリシリコン層をパターニングしてボトム
ゲート電極3を作る。

【0013】 ②このパターニングしたポリシリコン層の
ボトムゲート電極3の上にSiO₂層4を形成する。この
場合、例えば、マスクを使用して、スパッタリング法
により、SiO₂層4を約1000Åの厚さで成膜す
る。

【0014】 ③それから前記SiO₂層4の上に、活性
シリコン層5を形成するために、まず約4000Åのア
モルファス・シリコン層を前記工程①と同様にCVD法
により成膜し、固相成長させてポリシリコン層とする。

④それからパターニングして、活性シリコン層5を得る。

3

【0015】④この活性シリニン層5の上にゲート酸化膜6となるSiO₂層6'を、例えばプラズマCVD法により、約4000Å成膜する。成膜条件は例えば以下*

パワー	50W
TEOS (テトラエトキシシラン) ガス	50SCCM
O ₂	500SCCM
圧力	0.1~0.5 Torr
温度	350°C

⑤このSiO₂層6'の上に、アモルファス・シリニン層7'を、例えば前記工程①と同様の条件でCVD法により4000Å成膜する。そしてこのアモルファスシリニン層7'を、例えば前記工程①と同様の条件でアニールしてゲート電極7となるポリシリニン層を形成する。

【0017】⑥前記工程⑤で形成したポリシリニン層及び前記工程④で形成したSiO₂層6'を、例えばドライエッティングによりパターニングし、ゲート電極7及びゲート酸化膜6を作る。それからこのゲート電極7をマスクとしてシリコン活性層5のソース・ドレイン領域5'、5'となるべき部分にイオンドーピング法により、例えばPをドーピングする。それからこれを窒素雰囲気中で約550°Cで5時間加熱し、ドーパントの活性化を行う。更に水素雰囲気中で約400°Cで30分加熱処理して水素化を行い、半導体の欠陥準位密度を減少させる。

【0018】⑦さらに、図5に示す如く、この基板全体にTEOSを出発材料として層間絶縁層11となるSiO₂膜を、厚さ約4000Å成形する。この層間絶縁層11となるSiO₂膜の成膜条件は、例えば以下の通りである。

【0019】

パワー	50~300W
TEOSガス	10~50SCCM
O ₂	500SCCM
圧力	0.1~0.5 Torr
加熱温度	350°C

⑧この層間絶縁層11となるSiO₂膜をエッティングしてコンタクト用のホールを形成し、電極引出線材料としてAlを蒸着する。そしてこのAlをパターニングし、ゲート電極引出線8、ソースドレイン電極引出線9、10を形成する。それから例えばリンガラスの如き、保護膜を形成して、図1に示す如き、ボトムゲート電極3がゲート電極7よりも狭い狭ゲート形の薄膜トランジスタを得る。

【0020】図1に示す如く構成された薄膜トランジスタは、そのボトムゲート電極3を図2に示す如く、共通電位側に接続してそのソース・ドレイン電圧V_Sとソース・ドレイン電流I_Sとを測定したとき、図3に示す如き、特性が得られた。最も下の特性曲線はV_G = 1.00Vであり、以下より順にV_G = 2.00V、3.00V、4.00V...とゲート電圧V_Gが1V毎に変つ

*の通りである。

【0016】

パワー	50W
TEOS (テトラエトキシシラン) ガス	50SCCM
O ₂	500SCCM
圧力	0.1~0.5 Torr
温度	350°C

たときの特性を示している。このように本発明の薄膜トランジスタは良好な五極管特性を示すことがわかる。

【0021】本発明の薄膜トランジスタがこのような良好な五極管特性を示す理由は次のように思考される。本発明の薄膜トランジスタは、ゲート電極7とシリニン活性層5を中心とする通常の構成の薄膜トランジスタと、ボトムゲート電極3とシリコン活性層5を中心とする狭ゲート構成の薄膜トランジスタの合体とみることができる。

【0022】この場合、ボトムゲート電極3は狭ゲート構成のためオフセット構造の薄膜トランジスタとなり、シリコン活性層5の両端部分には高抵抗部分が存在するので、これにより五極管特性が得られるものと思われる。

【0023】

【発明の効果】本発明によれば良好な五極管特性を有する薄膜トランジスタを構成することができる。

【0024】本発明によれば、駆動電圧が多少変動してもドレイン電流を一定にすることができるので、電源電圧変動によるも安定した駆動制御を行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例構成図である。

【図2】本発明の薄膜トランジスタの動作回路である。

【図3】本発明の薄膜トランジスタの動作特性図である。

【図4】本発明の薄膜トランジスタの製造工程説明図(その1)である。

【図5】本発明の薄膜トランジスタの製造工程説明図(その2)である。

【図6】従来の薄膜トランジスタの構成図である。

【図7】従来の薄膜トランジスタの動作特性図である。

【符号の説明】

1 基板

2 SiO₂層

3 ボトムゲート電極

4 SiO₂層

5 シリコン活性層

6 ゲート酸化膜

6' SiO₂層

7 ゲート電極

7' アモルファスシリコン層

8 ゲート電極引出線

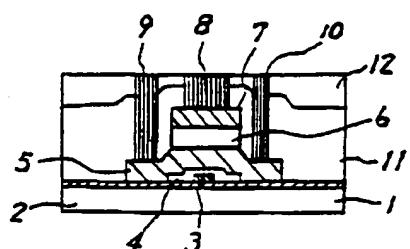
50

5

9 ソース・ドレイン電極引出線
 10 ソース・ドレイン電極引出線
 11 層間絶縁層
 12 保護膜
 50 基板
 51 SiO₂層
 52 シリコン活性層

【図1】

本発明の一実施例構成図

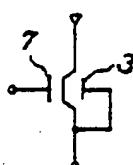


6

53 ゲート酸化膜
 54 ゲート電極
 55 ゲート電極引出線
 56 ソース・ドレイン電極引出線
 57 ソース・ドレイン電極引出線
 58 層間絶縁層

【図2】

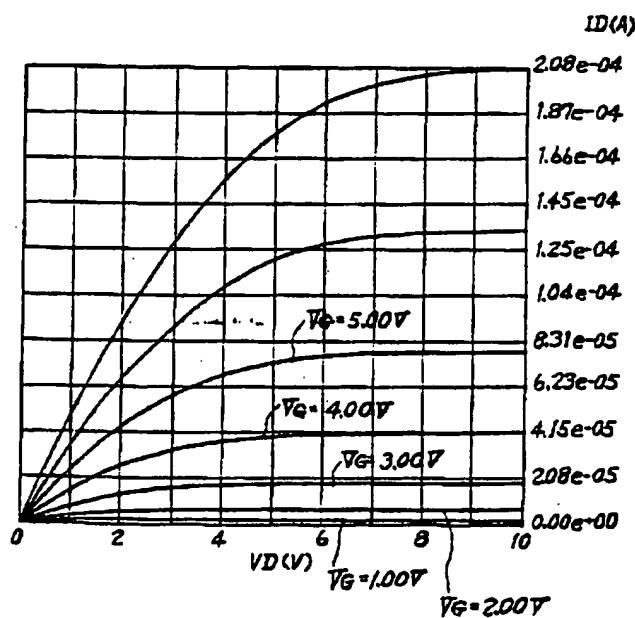
本発明のTFTの動作回路



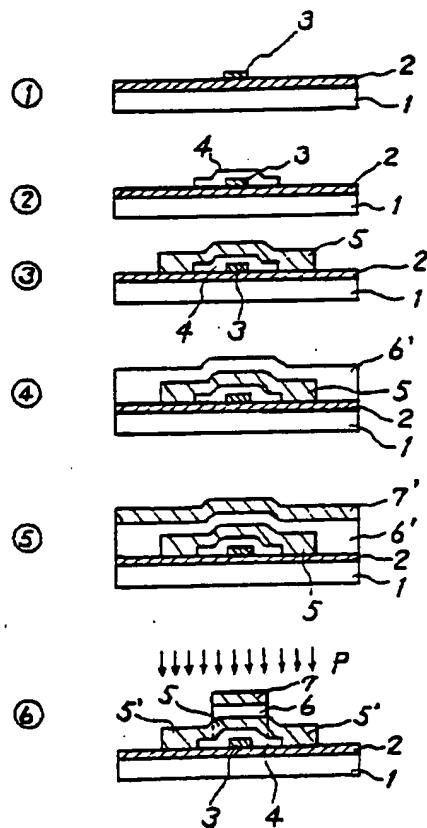
【図4】

【図3】

本発明のTFTの動作特性図

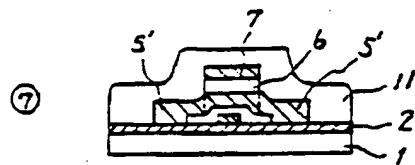


本発明のTFTの製造工程説明図(その1)



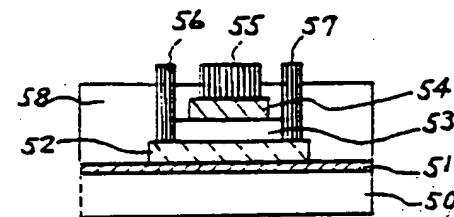
【図5】

本発明のTFTの製造工程説明図(その2)



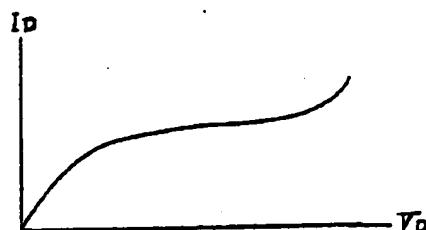
【図6】

従来のTFTの構成図



【図7】

従来のTFTの動作特性図



フロントページの続き

(72) 発明者 高山 一郎
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 山内 幸夫
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小堀 勇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小玉 光文
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 坂本 直哉
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内